

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-212716

(43)Date of publication of application : 20.08.1996

(51)Int.Cl. G11B 20/14
G11B 20/10
G11B 20/18
G11B 20/18

(21)Application number : 07-017870

(71)Applicant : FUJITSU LTD

(22)Date of filing : 06.02.1995

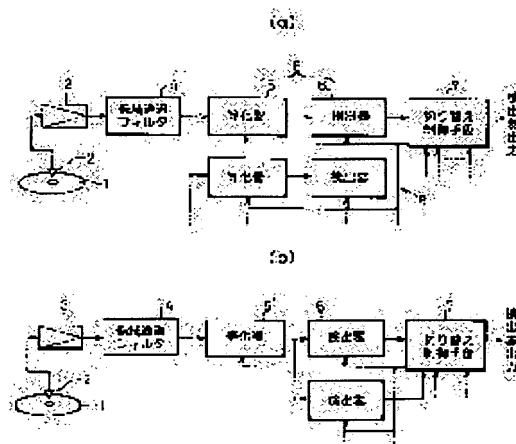
(72)Inventor : SUGAWARA TAKAO
OSHIO UMEO
OSHIMA TAKENORI
MIZOSHITA YOSHIBUMI
ARIGA TAKAHARU

(54) DEMODULATING CIRCUIT OF MAGNETIC RECORDING/REPRODUCING APPARATUS

(57)Abstract:

PURPOSE: To prevent the increase in circuit scale of a demodulating circuit and dissipation power even if the degree (n) of partial responses is increased in the demodulating circuit using the partial response and a maximum detecting method.

CONSTITUTION: An equalizer 5 of a circuit, which demodulates the reproduced signal read out of a head 2, is prepared in correspondence with the different equalized target waveform. A plurality of sets 8 of detectors 6, which are connected in series in correspondence with the equalized waveform from the equalizer 5, are connected in parallel to the output stages of a filter 4. The demodulating circuit is constituted so that only one of the sets 8 of the equalizers 5 and the detectors 6 is selected and the output of the detector is obtained by a switching control means 7 for selecting any of the outputs of the sets 8 of the equalizers 5 and the detectors 6. As to the equalizers 5, one equalizer 5', which can from two or more kinds of the equalized waveforms having the different characteristics, can be used.



LEGAL STATUS

[Date of request for examination] 22.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3456781

[Date of registration] 01.08.2003

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-212716

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/14	3 4 1 B	9463-5D		
20/10	3 2 1 Z	7736-5D		
20/18	5 3 4 A	9558-5D		
	5 7 0 F	9558-5D		

審査請求 未請求 請求項の数16 O L (全 22 頁)

(21) 出願番号 特願平7-17870

(22) 出願日 平成7年(1995)2月6日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 菅原 隆夫

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 押尾 梅夫

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

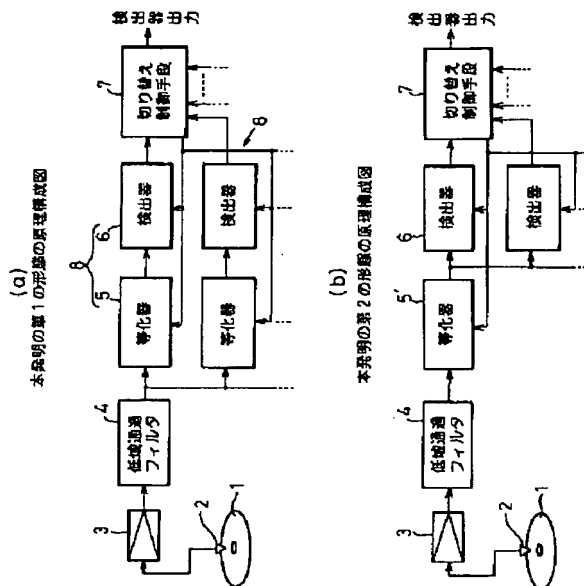
最終頁に続く

(54) 【発明の名称】 磁気記録再生装置の復調回路

(57) 【要約】

【目的】 磁気記録再生装置の復調回路に関し、パーシャルレスポンスと最尤検出法を用いた復調回路において、パーシャルレスポンスの次数 n が増えても復調回路の回路規模や消費電力を増大させないようにすることを目的とする。

【構成】 ヘッド2から読み出された再生信号を復調する回路の等化器5を異なる等化目標波形に合わせて用意し、等化器5からの等化波形に応じてこれに直列に接続された検出器6の組8を、フィルタ4の出力段に複数組並列に接続し、等化器5と検出器6の組8の出力の何れかを選択するための切り替え制御手段7によって、等化器5と検出器6の組8のただ1つを選択して検出器出力とするように復調回路を構成する。等化器5は特性の異なる2種類以上の等化波形を生成できる等化器5'として1つにしても良い。



1

【特許請求の範囲】

【請求項 1】 磁気記録媒体(1) 上に記録されたデータをヘッド(2) により再生し、その再生信号から元のデータを復調する磁気記録再生装置の復調回路であって、再生信号の増幅回路(3)、低域通過フィルタ(4)、等化器(5)、および検出器(6) を備えるものにおいて、異なる等化目標波形に合わせて用意された等化器(5) と、この等化器(5) から出力される等化波形に応じて等化器(5) に直列に接続された検出器(6) の組(8) を、前記低域通過フィルタ(4) の出力段に複数組並列に接続すると共に、これら複数組の等化器(5) と検出器(6) の組(8) の出力の何れかを選択するための切り替え制御手段(7) を設け、

等化器(5) と検出器(6) の組(8) からの検出データを検出器出力としてただ 1 つ選択することを特徴とする磁気記録再生装置の復調回路。

【請求項 2】 請求項 1 に記載の磁気記録再生装置の復調回路であって、

検出データが選択されない前記等化器(5) と検出器(6) の組(8) の動作を、前記切り替え制御手段(7) により停止させることを特徴とするもの。

【請求項 3】 請求項 1 に記載の磁気記録再生装置の復調回路であって、

前記切り替え制御手段(7) が前記ヘッド(2) からの再生信号の規格化線密度に応じて前記等化器(5) と検出器(6) の組を切り替えることを特徴とするもの。

【請求項 4】 請求項 3 に記載の磁気記録再生装置の復調回路であって、

前記切り替え制御手段(7) が、前記ヘッド(2) の前記記録媒体(1) 上の半径位置、あるいはトラック位置に基づいて前記等化器(5) と検出器(6) の組を切り替えることを特徴とするもの。

【請求項 5】 請求項 1 に記載の磁気記録再生装置の復調回路であって、

データが前記磁気記録媒体(1) 上にゾーン・ビット・レーコーディングによって記録されており、前記切り替え制御手段(7) が、前記ヘッド(2) から得られる再生信号に含まれる記録周波数とビット密度のゾーン情報、あるいはトラック情報に基づいて前記等化器(5) と検出器(6) の組を切り替えることを特徴とするもの。

【請求項 6】 磁気記録媒体(1) 上に記録されたデータをヘッド(2) により再生し、その再生信号から元のデータを復調する磁気記録再生装置の復調回路であって、再生信号の増幅回路(3)、低域通過フィルタ(4)、等化器(5)、および検出器(6) を備えるものにおいて、

特性の異なる 2 種類以上の等化波形を生成できる等化器(5') と、この等化器(5') から出力される等化波形に応じて等化器(5') の後段に複数個の検出器(6) を並列に接続すると共に、これら複数個の検出器(6) の出力の何れかを選択するための切り替え制御手段(7) を設け、

2

各検出器(6) からの検出データを検出器出力としてただ 1 つ選択することを特徴とする磁気記録再生装置の復調回路。

【請求項 7】 請求項 6 に記載の磁気記録再生装置の復調回路であって、

前記等化器(5) における前記特性の異なる 2 種類以上の等化波形を生成する等化設定値の記憶手段を設け、前記切り替え制御手段(7) により前記記憶手段の等化設定値を選択することを特徴とするもの。

10 【請求項 8】 請求項 6 に記載の磁気記録再生装置の復調回路であって、

前記等化器(5) の出力と等化目標波形との誤差、あるいは 2 乗誤差を計算する誤差演算手段(26) と、計算された誤差から前記等化器(5) の前記設定値を計算する設定値演算手段(27) とを更に設けて閉ループ型の適応等化器を構成すると共に、前記等化目標波形を記憶する等化目標波形記憶手段(25) を設け、

前記切り替え制御手段(7) により前記等化目標波形記憶手段(25) に記憶された等化目標波形を選択することを特徴とするもの。

【請求項 9】 磁気記録媒体(1) 上に記録されたデータをヘッド(2) により再生し、その再生信号から元のデータを復調する磁気記録再生装置の復調回路であって、再生信号の増幅回路(3)、低域通過フィルタ(4)、等化器(5)、および検出器(6) を備え、再生信号の周波数特性が $R(f)$ として表せ、複数 (n) 個の等化目標波形の周波数特性が $G(f) \cdot H_i(f)$ ($i=1, 2, 3, \dots, n$) として表せる磁気記録再生装置の復調回路において、

前記等化器(5) を 1 個の前段等化器(5A) と複数 (n) 個の後段等化器(5B) に分割し、前記前段等化器(5A) は $G(f)/R(f)$ となる特性を持つように構成し、前記後段等化器(5B) は、 $H_i(f)$ ($i=1, 2, 3, \dots, n$) となる特性を持つように構成すると共に、各後段等化器(5B) には検出器(6) を接続して後段等化器(5B) と検出器(6) の組(8') を作り、これらの組(8') を前記前段等化器(5A) の出力段に並列に接続し、各検出器(6) の出力は切り替え制御手段(7) に接続して、

各検出器(6) からの検出データを検出器出力としてただ 1 つ選択することを特徴とする磁気記録再生装置の復調回路。

【請求項 10】 請求項 9 に記載の磁気記録再生装置の復調回路であって、

$G(f)/R(f)$ となる特性を持つ前記前段等化器(5A) の出力と等化目標波形との誤差、あるいは 2 乗誤差を計算する誤差演算手段(26) と、計算された誤差から前記等化器(5) が特性の異なる 2 種類以上の等化波形を生成するための設定値を計算する設定値演算手段(27) とを更に設けて閉ループ型の適応等化器を構成すると共に、この設定値から規格化線密度を判定する規格化線密度演算手段を設け、この規格化線密度演算手段の出力により、前記切

50

り替え制御手段(7)を切り換えることを特徴とするもの。

【請求項11】 請求項10に記載の磁気記録再生装置の復調回路であって、前記低域通過フィルタ(4)にブースト機能を設け、この低域通過フィルタ(4)の出力 $G'(f)$ を入力する前記前段等化器(5A)の特性を $G'(f)/R(f)$ とすると共に、前記低域通過フィルタ(4)のブースト量と前記前段等化器(5A)の設定値から規格化線密度を判定する規格化線密度演算手段を設け、この規格化線密度演算手段の出力により、前記切り替え制御手段(7)を切り換えることを特徴とするもの。

【請求項12】 請求項1に記載の磁気記録再生装置の復調回路であって、前記等化器(5)と検出器(6)の組の1つがPR4ML復号法を用いた等化、検出手段であり、前記等化器(5)と検出器(6)の組の他の1つがEPR4ML復号法を用いた等化、検出手段であることを特徴とするもの。

【請求項13】 請求項12に記載の磁気記録再生装置の復調回路であって、前記切り替え制御手段(7)に、前記検出器(6)へ送るクロック信号をゲートするゲート手段と、前記各検出回路(7)の出力側に設けられたOR回路とを設けると共に、前記各検出回路(7)を、クロック信号が入力されない時には機能を停止してその検出出力が0レベルに固定されるように構成したことを特徴とするもの。

【請求項14】 請求項12に記載の磁気記録再生装置の復調回路であって、前記低域通過フィルタ(4)と適応等化器(5A)とで $1+D$ の等化を行い、適応等化器(5A)からの出力をPR4の波形とし、PR4の信号で適応等化、位相誤差検出、振幅誤差検出を行い、更に、EPR4の為の後段等化器(5B)として遅延回路と加算器を用いて $1+D$ の演算を行うことを特徴とするもの。

【請求項15】 請求項12に記載の磁気記録再生装置の復調回路であって、前記適応等化器(5A)のタップ係数と、タップ係数の基準値とを比較し、PR4MLとEPR4MLとの切り替え制御信号を生成することを特徴とするもの。

【請求項16】 請求項12に記載の磁気記録再生装置の復調回路であって、記録系にプリコーダ $(1/(1+D))_{\text{mod}2}$ を用いることにより、PR4MLとEPR4MLの両者においてRL符号器および復号器を共通にしたことを特徴とするもの。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は磁気記録再生装置の復調回路に関し、特に、磁気ディスク装置の復調回路のハードウェアの構成を簡単にしてヘッドから再生される再生

信号を復調する磁気記録再生装置の復調回路に関する。近年、磁気ディスク装置において、ヘッドからの再生信号の復調に、パーシャルレスポンス(PR)と最尤検出方式(ML:Maximum Likelihood Detection)を用いた復調回路が実用化されつつある。

【0002】

【従来の技術】 図25(a)は従来の磁気ディスク装置の全体構成を示すものである。磁気ディスク1の上には環状に複数本のトラックが形成されており、このトラックにデータが書き込まれる。ヘッド2はこのトラックへのデータの書き込み、およびトラックからのデータの読み出しを行うものであり、サーボ回路90によって磁気ディスク1上の位置決めが行われると共に、データを書き込む際の書き込み回路と読み出したデータ信号を増幅する増幅器を備えたヘッドIC91に接続されている。このヘッドIC91にはトラック情報、ゾーン情報、ヘッド情報を扱う読み書き回路92が接続されている。そして、サーボ回路90と読み書き回路92は制御回路93によってその動作が制御されるようになっている。

【0003】 図25(b)は以上のように構成される従来の磁気ディスク装置に用いられている復調回路の構成例を示すものである。磁気ディスク1上に記録された信号はヘッド2により再生され、その再生信号は増幅器3と低域通過フィルタ4を通り、等化器5で等化された後に検出器6に送られる。磁気ディスク装置において、実用化されつつあるパーシャルレスポンスと最尤検出法を用いたPRML方式も同様の構成である。

【0004】 その中で、最も一般的なものはPR4ML(パーシャル・レスポンス・クラス4を用いた最尤検出法)である。磁気記録系は、データのビット周期分の遅延をDとして表した時に、一般に $1-D$ (ステップ応答は1)と見なされる。また、等化器としては $1+D$ が用いられるため、その等化出力は $1-D^2$ となりクラス4のパーシャルレスポンスと見なされる。さらに、検出器では最尤検出法(一般にはビタビ検出器を基本とする)が用いられ、 $1-D^2$ の等化信号を用いてデータを検出する。

【0005】 ただし、厳密には磁気記録におけるステップ応答(ただ1つの磁化反転をヘッドにより再生した波形である孤立波形)は、余分な符号間干渉を持つため、1ではない。そこで、等化器では余分な符号間干渉の除去も行なわれる。PRMLはパーシャルレスポンスのクラス(等化波形)によって性能が異なることが知られている。そこで本発明者らは「ビタビ復調制御方式」(特願平2-411925号)及び、「次数可変等化器を含むビタビ復調システム」(“Viterbi Decoding System Including Variable-Order Equalizer” 米国特許番号5287385号)において、1個の等化器でパーシャルレスポンスのクラス $[(1-D)(1+D)^n]$ における次数nを切り替え、それに応じてビタビ検出器のリフ

5

ァレンス（仮定値）を切り替える事によって、最適な等化検出を行う方式を既に示した。

【0006】

【発明が解決しようとする課題】しかしながら、パーシャルレスポンスに併用する最尤検出法におけるビタビ検出器の回路規模は、前述のパーシャルレスポンスの次数 n に対して指数関数的に増加し、本発明者らの提案の方式では、その次数 n の最大値で復調回路を設計する必要があるため、回路規模や消費電力が増大するという問題があった。

【0007】そこで、本発明はパーシャルレスポンスと最尤検出法を用いた磁気記録再生装置の復調回路において、パーシャルレスポンスの次数 n が増えても復調回路の回路規模や消費電力を増大させることのない磁気記録再生装置の復調回路を提供することを目的としている。

【0008】

【課題を解決するための手段】前記目的を達成する本発明の第1の形態を図1(a)に、第2の形態を図1(b)に、第3の形態を図2に示す。本発明の第1の形態の磁気記録再生装置の復調回路は、図1(a)に示すように、磁気記録媒体1上に記録されたデータをヘッド2により再生し、その再生信号から元のデータを復調する磁気記録再生装置の復調回路であって、再生信号の増幅回路3、低域通過フィルタ4、等化器5、および検出器6を備えるものにおいて、異なる等化目標波形に合わせて用意された等化器5と、この等化器5から出力される等化波形に応じて等化器5に直列に接続された検出器6の組8を、低域通過フィルタ4の出力段に複数組並列に接続すると共に、これら複数組の等化器5と検出器6の組8の出力の何れかを選択するための切り替え制御手段7を設け、等化器5と検出器6の組8からの検出データを検出器出力としてただ1つ選択するように構成したことを特徴としている。

【0009】本発明の第2の形態の磁気記録再生装置の復調回路は、図1(b)に示すように、磁気記録媒体1上に記録されたデータをヘッド2により再生し、その再生信号から元のデータを復調する磁気記録再生装置の復調回路であって、再生信号の増幅回路3、低域通過フィルタ4、等化器5、および検出器6を備えるものにおいて、特性の異なる2種類以上の等化波形を生成できる等化器5'と、この等化器5'から出力される等化波形に応じて等化器5'の後段に複数個の検出器6を並列に接続すると共に、これら複数個の検出器6の出力の何れかを選択するための切り替え制御手段7を設け、各検出器6からの検出データを検出器出力としてただ1つ選択するように構成したことを特徴としている。

【0010】本発明の第3の形態の磁気記録再生装置の復調回路は、図2に示すように、磁気記録媒体1上に記録されたデータをヘッド2により再生し、その再生信号から元のデータを復調する磁気記録再生装置の復調回路

6

であって、再生信号の増幅回路3、低域通過フィルタ4、等化器5、および検出器6を備え、再生信号の周波数特性が $R(f)$ として表せ、複数 n 個の等化目標波形の周波数特性が $G(f) \cdot H_i(f)$ ($i=1, 2, 3, \dots, n$) として表せる磁気記録再生装置の復調回路において、等化器5を1個の前段等化器5Aと複数 n 個の後段等化器5Bに分割し、前段等化器5Aは $G(f)/R(f)$ となる特性を持つように構成し、後段等化器5Bは、 $H_i(f)$ ($i=1, 2, 3, \dots, n$) となる特性を持つように構成すると共に、各後段等化器5Bには検出器6を接続して後段等化器5Bと検出器6の組8'を作り、これらの組8'を前記前段等化器5Aの出力段に並列に接続し、各検出器6の出力は切り替え制御手段7に接続して、各検出器6からの検出データを検出器出力としてただ1つ選択するように構成したことを特徴としている。

【0011】

【作用】本発明の磁気記録再生装置の復調回路によれば、等化器または検出器を異なる等化目標波形に合わせて複数個並列に用意して、等化目標波形に合わせて切り換えるようにしたので、各等化器や検出器の回路規模が等化目標波形に応じた必要最小限の個数にすることができ、パーシャルレスポンスの次数 n が増えても復調回路の回路規模を増大させることがないという効果がある。

【0012】そして、それぞれの等化・検出器は独立であるため、選択されない不要な回路の動作を停止させることにより、消費電力の増加を抑えることが可能である。また、磁気ディスク装置に見られる規格化線密度の変化に対して、最適な等化・検出法が行えるため、所要 S/N を低くすることが可能である。あるいは、同じ S/N で規格化線密度を上げることが可能である。

【0013】

【実施例】以下添付図面を用いて本発明の実施例を詳細に説明するが、説明を判りやすくするために、図1、図2における構成部材と同じ構成部材には同じ符号を付して説明する。図3は本発明の第1の実施例の構成を示すブロック構成図である。図3において、1は磁気記録媒体である磁気ディスク、2はヘッド、3は増幅回路、4は低域通過フィルタ、5a、5bは等化器、6a、6bは検出器、7は切り替え制御回路、70は切り替えスイッチである。ヘッド2により磁気ディスク1から再生された信号は増幅器3で増幅され、低域通過フィルタ4でノイズ成分を除かれ、分岐されて等化器5a、5bに入力される。等化器5a、5bの等化出力はそれぞれ検出器6a、6bに入力され、それぞれの検出器出力がスイッチ70に入力される。スイッチ70の切り替え動作および等化器5a、5bと検出器6a、6bの動作は切り替え制御回路7からの切り替え制御信号によって行われる。

【0014】このように、第1の実施例では、2組の等化器5a、5bと検出器6a、6bとが設けられてお

10

20

30

40

50

り、切り替え制御回路 7 からの切り替え制御信号によりスイッチ 70 が切り替えられ、最適な等化検出法の検出データが選択される。例えば、等化器 5 a と検出器 6 a は $n=1$ (クラス 4: PR4ML) の等化・検出を行う回路とし、等化器 5 b と検出器 6 b は $n=2$ (拡張クラス 4: EPR4ML) の等化・検出を行う回路とすれば良い。この時、切り替え制御信号によって選択されない等化・検出器は、同じく切り替え制御信号によってその動作を停止させるようにすれば、平均的な消費電力を低減することが可能となる。

【0015】PR4ML ($n=1$) と EPR4ML ($n=2$) の切り替え方式についての具体的な実施例として、本発明者らは既に 1993 年 11 月発行の IEEE の磁気学協会の会報誌第 29 巻 No. 6 「PRML と EPRML を含むビタビ検出器」 ("Viterbi Detector Including PRML and EPRML", IEEE Transactions on Magnetics, Vol. 29, No. 6, Nov. 1993) において発表した。

【0016】図 4 はこの会報誌に記載された PR4ML と EPR4ML の波形の比較を示すものである。また、この会報誌に記載された回路構成を図 5 に示す。ビタビ

検出器 90 は、等化器 89 からの検出器入力信号 (等化信号) y と、仮定値演算器 91 からの仮定値 a との二乗計算を二乗誤差演算器 92 で行い、ACS 回路 93 で、現時点での二乗誤差とその前の時刻までの累積二乗誤差 (メトリック値) との加算を行い、続いて、それらメトリックの大小比較を行い、最後に小さい (正しい) メトリックを選択する。また、パスメモリ 95 では、正しいメトリックに対応した仮定データ (コード) を記憶し、選別して出力する。一方、正規化回路 94 ではメトリックのオーバフローを避けるための正規化を行うためのものである。

【0017】以下に示す表は、この図 5 に用いたビタビ検出器と、本発明の第 1 の実施例である図 3 の検出器 6 a、6 b (検出器 6 a を PR4ML、検出器 6 b を EPR4ML の等化・検出を行う独立回路とした場合) の回路規模 (ゲートは 2 入力 NAND 相当) と消費電力を示したものである。但し、消費電力は回路規模から見積もった計算値である。

【0018】

【表 1】

表 1 本発明による回路規模と消費電力

方 式		回路規模 (gate)	消費電力* (w)
従来例 (Viterbi アルゴリズム)		20,950	0.75
本発明	PR4ML (Ferguson アルゴリズム)	1,193	0.02
	EPR4ML (Knudson アルゴリズム)	4,655	0.17
	合計及び平均	5,848	0.10

* $1.2 \mu w / gate / MHz$, $100 Mb/s$, 動作率 30%

【0019】なお、PR4ML においては、1972 年 2 月発行のベルシステム技術ジャーナル第 51 巻 No. 2 に M. J. フェアグソンが投稿した「2 進パルシャルレスポンス系の最適受信」 ["Optimal Reception for Binary Partial Response Channels", M. J. Ferguson, The Bell System Technical Journal, vol. 51, No. 2, Feb., 1972] に示されているような、ビタビ検出器の簡略方法を適用した場合である。さらに、この簡略法では信号を 1 つ置きに 2 系列に分け、検出可能であるため、内部回路の処理速度は $50 Mb/s$ として計算した値である。

【0020】また、EPR4ML においては、1991 年に K. J. クヌードソンが発表した「EPR4 系の最尤検出器の動的スレショルドの遂行」 ["Dynamic Threshold Implementation of The Maximum-Likelihood Detector for The EPR4 Channel", Kelly J. Knudson, GLOBECOM '91, 60B.1.1, pp. 2135-2139, 1991] に示されている簡略法を適用した場合である。

【0021】そして、図 3 の回路の消費電力はそれぞれの検出器 6 a、6 b が選択される割合が $1/2$ として平

均を求めている。この表から分かるように、個々の検出器 6 a、6 b において、それぞれの方式に合った簡略設計を行う事により、回路規模の低減を図ることが可能である。また、回路規模の簡略化と選択されない検出器の動作を停止させることにより、第 1 の実施例の磁気記録再生装置の復調回路では消費電力を大幅に低減することが可能となる。

【0022】図 6 (a) は規格化線密度の定義を説明するものであり、図 6 (b) は PR4ML と EPR4ML それぞれの等化・検出法の特性を示したものであり、横軸は規格化線密度、縦軸は所要 S/N を示している。規格化線密度は、図 6 (a) に示すように、孤立波形 (ただ 1 つの磁化反転をヘッドにより再生し、他から干渉の無い波形) の半値幅 T_{50} とデータのビット周期 T_b との比 T_{50}/T_b で表される。縦軸の所要 S/N は、ある誤り率 (例えば 10^{-9}) を得るために、等化・検出器が必要とする S/N 比である。

【0023】従って、図 6 (b) の場合、規格化線密度の値 k_p を境に、それ以下の規格化線密度では、図 3 に示

10

20

40

50

した等化器5aと検出器6aの組の特性が良く、それ以上では図3に示した等化器5bと検出器6bの組の特性が優れていることが分かる。よって、この規格化線密度 k_p を境に図3に示した等化器5aと検出器6aの組と、等化器5bと検出器6bの組を切り替えれば、所要 S/N の値を小さくすることができる。なお、図6(b)に示す破線は等化器と検出器の組を更に1組設けた場合の規格化線密度と所要 S/N の特性を示すものである。

【0024】一方、磁気ディスク装置の転送速度を一定とした場合、図7(a)に示すように、ディスク1の内周と外周では、線速度が異なるため、一定のデータを記録する長さが異なる。従って、図7(b)に示すように規格化線密度はディスク1の内周では大きく、外周では小さい。そこで、半径位置 r_p （トラック位置）を境に、それよりも内側では図3に示した等化器5bと検出器6bの組を選択し、それよりも外側の場合には図3に示した等化器5aと検出器6aの組を選択する。半径位置（トラック位置）の認識はディスク制御回路からのトラック情報を用いることにより容易に可能である。

【0025】また、最近では記憶容量を増加する目的からゾーン・ビット・レコーディング（ZBR）が採用されている。このZBRでは、図8(a)に示すように、ディスク1がいくつかのゾーンに分けられ、ゾーン毎に転送速度が異なる。図8(b)に示す点線のように、データの記録密度を一定とした場合、ディスク1の外周になるに従って S/N は低くなる。これは転送速度が上がり、帯域が広がるためである。そのため、 S/N の低下をある程度抑え、転送速度をゾーン毎に切り替えた場合、 S/N は図8(b)の実線のようにになる。また、このときの規格化線密度は図8(c)に示すようになる。

【0026】そこで、図8(c)に示す規格化線密度 k_p に相当する付近のゾーンの切り替え点 z_p を境に、それよりも内側では図3に示した等化器5bと検出器6bの組を選択し、それよりも外側の場合には図3に示した等化器5aと検出器6aの組を選択する。この場合のゾーンの認識もディスク制御回路からのトラック情報を用いることにより容易に可能である。

【0027】更に、規格化線密度は半径位置（トラック）や転送速度だけでなく、ヘッドの特性によっても変化する。図9はヘッドのばらつきによる規格化線密度の様子を示したものである。従って、同じ規格化線密度 k_p で切り替える場合でも、実際の切り替えを行う半径位置は異なる。そこで、予めヘッドの半値幅を測定し、図9に示す切り替え位置 r_p （トラック位置）と r_p' を図10に示すように切り替え制御回路7に記憶させておき、トラック情報とヘッド情報から切り替え信号を生成する方法を採用すれば、この問題は解決できる。

【0028】なお、ここでは、切り替えの条件として規格化線密度のみを例に挙げたが、他の環境により切り替えの条件は変わる。例えば、クラス4（PR4ML）の

検出器は拡張クラス4（EPR4ML）に比べ、高速化が可能である。そこで、高速のデータ転送を行う場合にはクラス4を用い、低速のデータ転送を行う場合には拡張クラス4を用いる方式も可能である。

【0029】また、本発明はPRMLのみに限定されるものではなく、従来のピーク検出器やトレリス符号を用いたビタビ検出器などへの適用も可能である。図11は本発明の第2の実施例の構成を示すものである。この第2の実施例が45に示した第1の実施例の磁気記録再生装置の復調回路と異なる点は、等化器に所望の波形が切り替えられる目標可変等化器5'を用いた点である。このため、図3に示した複数の等化器5a、5bが1個に共通化することができる。そして、検出器6a、6bはこの目標可変等化器5'の出力側に並列に設けられ、その出力が切り替え制御回路7によって切り換わる切り替えスイッチ70に接続されている。

【0030】図12はこの目標可変等化器5'をトランスバーサル・フィルタで構成した実施例を示すものである。この実施例のトランスバーサル・フィルタは、一般のトランスバーサル・フィルタと同様に、ビット周期（サンプル周期）と同じ時間分の遅延回路21、遅延信号をタップ係数倍するための乗算器22、及びそれぞれの乗算出力を足し合わせるための加算器23を備えている。そして、この実施例では更に、それぞれの目標の波形に等化するためのタップ係数がテーブルとして記憶されているタップ係数テーブル24が設けられている。このタップ係数テーブル24からのタップ係数は各乗算器22に入力され、図11に示した切り替え制御回路7からの切り替え制御信号により、一連のタップ係数が選択されて乗算器22に与えられる。

【0031】このタップ係数は目標波形だけでなく、規格化線密度（厳密には孤立波形）により異なる。従って、予め孤立波形を測定し、これに適応させたタップ係数を求める必要がある。図13は図12の目標可変等化器を適応型等化器とした場合の実施例を示すものである。この実施例では、タップ係数テーブル24の代わりに、それぞれの目標の波形を記憶する目標波形テーブル25と、二乗誤差計算回路26と、タップ係数計算回路27とが設けられている。二乗誤差計算回路26は加算器23の等化出力と目標波形テーブル25からの目標波形との二乗誤差を計算してタップ係数計算回路27に送る。タップ係数計算回路27はこの目標波形との二乗誤差によりタップ係数を計算、変更し、乗算器22に出力する。このように、この実施例では乗算器22、加算器23、二乗誤差計算回路26、及びタップ係数計算回路27が閉ループを構成している。従って、図11に示した切り替え制御回路7からの切り替え制御信号により、目標波形テーブル25から出力される目標波形を切り替えることにより、所望の波形に等化することが可能となる。

【0032】ところで、本発明者らは1ビット周期の遅延時間をDとして、パーシャルレスポンス方式の $(1+D)^n$ の等化を行う波形等化器において、等化制御構成を簡素化し、且つクロック信号の抽出を容易にするために、等化器を前段等化器と後段等化器に分割し、前段等化器で $(1+D)$ の等化を行い、それに続く後段等化器で $(1+D)^{n-1}$ の等化を行う方式を示した(特開平6-29785号公報参照)。

【0033】図14はこの公報に記載の等化器を前段等化器と後段等化器に分割する手法を本発明に適用した本発明の第3の実施例の構成を示すものである。この実施例では、1個の前段等化器5Aの出力段に、等化目標波形の異なる後段等化器5Bと検出器6の組8'が、並列に複数組接続されている。そして、各組8'の検出器6からの出力は、切り替え制御回路7からの切り替え制御信号によって切り替わる切り替えスイッチ70によってただ1つ選択されるようになっている。また、図示はしていないが、選択されない組8'の後段等化器5Bと検出器6の動作は停止させられるようになっている。

【0034】磁気記録再生装置の復調回路の等化器をこのように構成できるのは、再生信号の周波数特性が $R(f)$ として表せ、複数個の等化目標波形の周波数特性が $G(f) \cdot H_i(f)$ ($i=1, 2, 3, \dots, n$)として表せる場合である。そして、この時は、前記前段等化器5Aは $G(f)/R(f)$ となる特性を持つように構成し、後段等化器5Bは、 $H_i(f)$ ($i=1, 2, 3, \dots, n$)となる特性を持つように構成する。

【0035】この実施例では、再生信号に於ける余分な干渉分を除去する機能を前段等化器5Aに持たせるため、後段等化器5Bは遅延回路と加算器のみで構成することができる。そして、この実施例のように回路規模が大きくなる前段等化器5Aを共通化する事によって、等化器全体としての単純化が可能となる。図15は図14に示した第3の実施例の磁気記録再生装置の復調回路の変形実施例の構成を示すものであり、前段等化器5Aを適応型等化器とした場合の実施例である。この実施例では、前段等化器5Aからの信号が入力されるタップ係数計算回路27が設けられており、タップ係数計算回路27で計算されたタップ係数が前段等化器5Aと切り替え回路7に入力されるようになっている。この構成から分かるように、この実施例は、収束したタップ係数の値から規格化線密度の値を推測し、切り替え制御回路7によって後段等化器5Bと検出器6の組8'の何れかを選択する方式である。この図15の方式の簡単な原理を図16を用いて説明する。図16に示す破線は等化前の孤立波形を示し、実線は等化後の孤立波形を示すものである。等化器が3タップであると仮定すると、中心のタップで全体のゲインを調整し、両側のタップで余分な干渉分を除去する。干渉分が大きければ削る量も大きくなり、従って、両側のタップ係数の値は負の方向へ大きく

なる。このときの規格化線密度とタップ係数の関係を示したものが図17である。規格化線密度が K_p の時、両側のタップ係数が C_p であった場合、規格化線密度 K_p とタップ係数 C_p とは対応するので、タップ係数 C_p を見れば、規格化線密度 K_p の値が分かる。従って、タップ係数 C_p を境にして等化器と検出器の組を切り替えれば良い。実際の等化器のタップ数は3以上となり、全体のタップ係数を考慮することは難しくなるが、その中で影響度の高い(規格化線密度に対し感度の高い)タップに着目すれば、等化器と検出器の組の切り替えは容易に可能である。

【0036】図18は図15に示した実施例の他の変形例の磁気記録再生装置の復調回路の構成を示すものである。この実施例では、低域通過フィルタ4にブースト機能(強調機能)を持たせた前置フィルタ4'を採用した場合の実施例である。従って、この実施例では前記フィルタ4'と切り替え制御回路7にブースト量が加えられている点のみが図15の実施例の構成と異なる。また、この実施例における前置フィルタ4'、前段等化器5A、後段等化器5B、検出器6、切り替え制御回路7、タップ係数計算回路、及び切り替えスイッチ70は、1つの集積回路として構成することが可能である。

【0037】図19は周波数特性上で見たブースト機能であり、横軸が周波数、縦軸が信号スペクトルの大きさを示している。これは入力信号の高域スペクトルを強調し、等価的に図16に示した時間軸上に於ける干渉分の除去を行っている。従って、ブーストが有る場合には、図17に示した規格化線密度とタップ係数との関係は図20のように変化する。そこで、図18の切り替え制御回路7では、ブースト量の有無、或いは大きさに応じて等化器5Bと検出器6の組の切り替えを行うタップ係数の値 C_p 、 C_p' をテーブルとして持ち、判断する事によって等化器5Bと検出器6の組の切り替えが可能となる。

【0038】図21は実際にPR4MLとEPR4MLの切り替えを行って記録・再生を行う場合の具体的な実施例の回路構成を示すものである。この図には図25におけるヘッドIC91と読み書き回路92の部分の具体的な回路構成が示されている。書込信号は8/9RL符号器31、プリコード32、NRZI回路33、ヘッドIC91にある書込回路34を経てヘッド2から磁気ディスク1に書き込まれる。

【0039】一方、磁気ディスク1からヘッド2によって読み出された再生信号は、ヘッドIC91にある増幅器3と、可変増幅器35を経て前置フィルタ4'に入力される。前置フィルタ4'の出力はA/D変換器36を経て適応等化器(前段等化器)5Aに入力され、その出力は後段等化器5B'、5B''、および位相誤差検出回路44と振幅誤差検出回路45に入力される。位相誤差検出回路44の出力はVFO(可変周波数発振器)46

に入力され、振幅誤差検出回路45の出力は可変増幅器35に入力される。

【0040】なお、この実施例では、後段等化器5B''は加算器37と1シンボルの遅延素子によって(1+D)の等化が行なわれてEPR4ML検出器6''に入力されるが、後段等化器5B'は適応等化器5Aの出力を直接PR4ML検出器6'に入力する構成となっている。PR4ML検出器6'の出力は直接OR回路39に入力されるが、EPR4ML検出器6''の出力はポストコード38を経た後にOR回路39に入力され、8/9復号器40を経て再生信号として読み書き回路92から出力される。

【0041】図示しない制御回路からのブースト量は、前記フィルタ4'と切り替え制御回路7に入力される。切り替え制御回路7には適応等化器5Aからのタップ係数が入力され、適応等化器5Aはタップ係数がCpより大きい時には"1"を出力し、Cp以下の時には"0"を出力する。切り替え制御回路7の出力はAND回路41にゲート信号として入力されると共に、インバータ4で反転されてゲート信号としてAND回路42に入力される。AND回路41、43の他方の入力にはVFO(可変周波数発振器)46からのクロックが入力される。従って、切り替え制御回路7からの出力が"1"の時にはAND回路41を通じてクロックがPR4ML検出器6'に入力され、切り替え制御回路7からの出力が"0"の時にはAND回路43を通じてクロックがEPR4ML検出器6''に入力され、クロックが入力されない側の検出器はその動作が停止する。

【0042】基本的には、切り替え制御回路7によって検出器出力が選択されるが、図21のように構成された実施例の磁気記録再生装置の復調回路では、切り替え制御回路7からの切り替え制御信号により、AND回路41、43においてPR4ML検出器6'とEPR4ML検出器6''それぞれへのクロックをゲートし、選択されない検出器の機能を停止させ、且つその出力を0レベルに固定させ、OR回路39を用いて同様の機能を行っている。なお、これらの検出器6'、6''をCMOSプロセスで実現した場合には、前述の方法により選択されない回路は電力を消費しない。

【0043】この実施例での切り替え制御回路7は適応等化器5Aのタップ係数とタップ係数のリファレンスCpとを比較して切り替え制御信号を出力する。但し、切り替え制御信号は適応等化器5Aのトレーニング領域が終了あるいはタップ係数が安定した時点で変化し、一連のデータ領域ではホールドされている。又、リファレンスCpは前置フィルタ4'のブースト量に応じて変化させている。

【0044】また、前置フィルタ4'と適応等化器5Aとによって1+Dの等化が行われる。すなわち、適応等化器5Aからの出力はPR4の波形となる。そこでEPR

R4のための後段等化器5''として遅延回路Dと加算器37を用いている。PR4は3値信号であるのに対しEPR4は5値信号となる。そこで、このような2段構えの構成にする事により、PR4の信号で適応等化、位相誤差検出、振幅誤差検出が行えるため、回路が簡単で済む。

【0045】なお、等化器および切り替えを行う方法はこの実施例の方法に限らず、前述した全ての方法が適応可能である。ところで、8/9(0、K/L)RL(L:Run Length Limited)符号として、従来の様な0連続数Kを制限するだけでなく、PR4MLの検出器のバスマモリ長を短くする目的から符号を1つ置きに奇数列と偶数列とした場合の0連続数Lの制限を考慮した符号が以下の2つの文献に示されている。

【0046】(1) "Method and apparatus for Implementing optimum PRML codes", J.S. Eggenberger and A.M. Patel, U.S. Patent 4,707,681, Nov. 1987

(2) "Method and apparatus for Implementing a PRML code", B.H. Marcus and A.M. Patel and P.H. Siegel, U.S. Patent 4,786,890, Nov. 1988

そして、図21におけるプリコード32は8/9RL符号器31の出力とPR4ML検出器6'の入力との0連続制限を等しくする(Dで表された伝達関数を1にする)ために設けている。

【0047】図22はEPR4MLにおけるトレリス線図である。ここで、0の連続が生じた場合、状態000から状態000への遷移が連続する。一方1の連続が生じた場合も同様であり、状態111から状態111への遷移が連続する。この様な状況においてはバスマモリにおけるバスの入替えが行われないため、バスマモリを長くする必要がある。そのため、1の連続制限も考慮した符号が必要である。しかし図23に示すように、PR4MLに用いたと同様のプリコード(1/(1+D))

mod2を用いることにより、8/9符号における0の連続数でプリコード後の0および1の連続数が制限でき、更に、奇数列と偶数列との0および1の連続数が制限できるため、PR4ML用に設計された8/9符号を用いることが可能となる。

【0048】図24(a)、(b)はPR4MLで用いられる8/9(0、4/4)符号で、EPR4MLの検出器のバスマモリの長さビット・エラー・レートBERの関係を示したものである。プリコードが無い場合、BERが10⁻⁶程度を達成させるためにはバスマモリを30段以上に必要があるが、プリコード(1/(1+D))mod2を挿入した場合、約半分の15段で済むことがわかる。

【0049】以上述べた方式を実際の回路で実現する場合、複数の等化器と検出器を1つの集積回路にまとめる事により、外部から見た場合に1つの等化器と検出器として見なせるため、他の回路系との配線が簡単で済み、

又他のシステムとの繋がりを考えた場合、都合が良い。

【0050】

【発明の効果】以上説明したように、本発明によれば、磁気ディスク装置に見られるような規格化線密度の変化に対して、最適な等化、検出が行えるため、所要S/Nを低くすることが可能である。また、少なくとも検出器が目標波形に対して独立に設けられているので、等化器と検出器を兼用させる場合に比べて回路規模が小さくなる。更に、独立した等化器と検出器のうち、不要な回路を停止させることにより、消費電力の増加を抑えることが可能である。

【0051】従って、装置から読みだした再生データの信頼性を著しく向上することができ、それによって記録密度を向上させることが可能となり記録装置の高性能化に寄与する。

【図面の簡単な説明】

【図1】(a)は本発明の第1の形態の磁気記録再生装置の復調回路の構成を示す原理構成図、(b)は本発明の第2の形態の磁気記録再生装置の復調回路の構成を示す原理構成図である。

【図2】本発明の第3の形態の磁気記録再生装置の復調回路の構成を示す原理構成図である。

【図3】本発明の第1の実施例の構成を示すブロック構成図である。

【図4】文献に記載されたPR4MLとEPR4MLの波形の比較を示す波形図である。

【図5】文献に記載されたPR4MLとEPR4MLの切り替え回路の構成を示す回路図である。

【図6】(a)は規格化線密度の定義を説明する説明図、(b)はPR4MLとEPR4MLそれぞれの規格化線密度に対する所要S/Nを示す特性図である。

【図7】(a)は磁気ディスクの内周と外周の半径位置を示す説明図、(b)は(a)の半径位置に対する規格化線密度の値を示す特性図である。

【図8】(a)はゾーン・ビット・レコーディングを採用した磁気ディスクの半径位置と領域分割を説明する図、(b)は(a)の半径位置に対するS/Nの変化を示す特性図、(c)は(a)の半径位置に対する規格化線密度の値を示す特性図である。

【図9】複数毎のディスクを備えた磁気記録再生装置におけるヘッドのばらつきによる規格化線密度の変化を示す説明図である。

【図10】図9のヘッドの特性のばらつきに対応する切り替え回路の構成を説明する回路図である。

【図11】本発明の第2の実施例の磁気記録再生装置の復調回路の構成を示すブロック構成図である。

【図12】図11の目標可変等化器をトランスバーサル・フィルタで構成した実施例を示すブロック回路図である。

【図13】図12の目標可変等化器を適応型等化器とし

た場合の構成を示すブロック回路図である。

【図14】本発明の第3の実施例の磁気記録再生装置の復調回路の構成を示すブロック構成図である。

【図15】図14の第3の実施例の変形実施例の磁気記録再生装置の復調回路の構成を示すブロック構成図である。

【図16】図15の方式の簡単な原理を説明する孤立波形図である。

【図17】図15の実施例における規格化線密度とタップ係数の関係を示す特性図である。

【図18】図14の第3の実施例の他の変形実施例の磁気記録再生装置の復調回路の構成を示すブロック構成図である。

【図19】図18の実施例においてブースト量を与えた場合の、前記フィルタの入出力特性を示す特性図である。

【図20】ブーストがある場合の規格化線密度とタップ係数の関係を示す特性図である。

【図21】図18の回路の一実施例の具体的な回路構成図である。

【図22】EPR4MLにおけるトレリス線図である。

【図23】図21の回路におけるプリコードの効果を示明する図である。

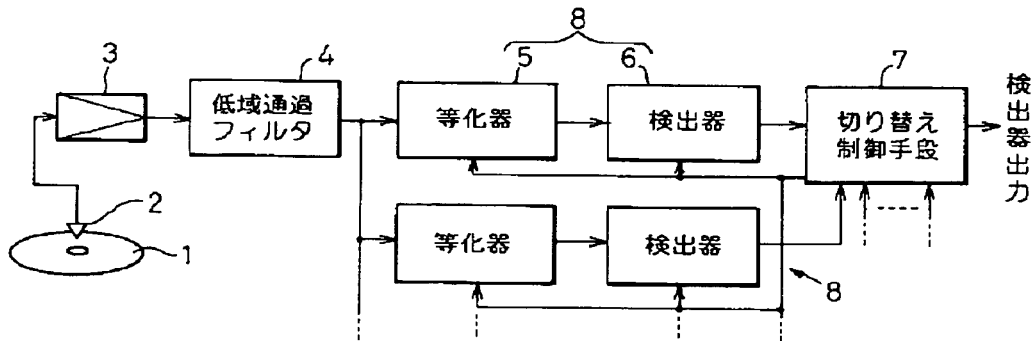
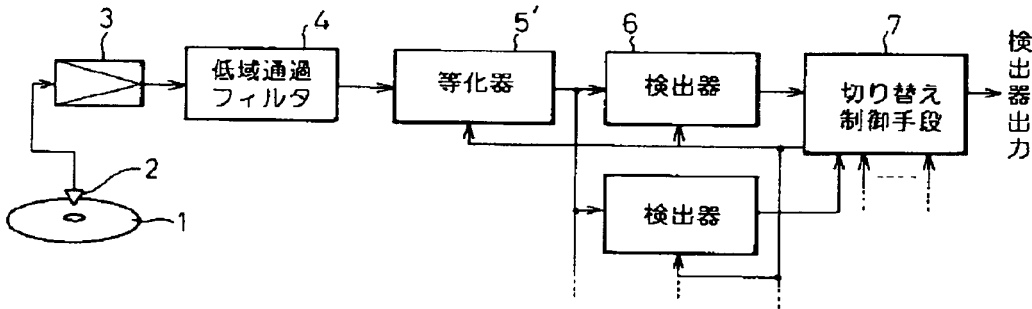
【図24】(a)は図21の回路においてプリコードのない場合のビットエラーレート特性を示す特性図、(b)は図21の回路においてプリコードがある場合のビットエラーレートを示す特性図である。

【図25】(a)は従来の磁気ディスク装置の全体構成を示す構成図、(b)は(a)のように構成される従来の磁気ディスク装置に用いられている復調回路の構成例を示す構成図である。

【符号の説明】

- 1…磁気記録媒体（磁気ディスク）
- 2…ヘッド
- 3…増幅回路
- 4…低域通過フィルタ
- 5, 5', 5a, 5b…等化器
- 5A…前段等化器
- 5B…後段等化器
- 6…検出器
- 7…切り替え制御手段（切り替え制御回路）
- 8, 8'…等化器と検出器の組
- 21…遅延回路
- 22…乗算器
- 23…加算器
- 24…タップ係数テーブル
- 25…目標波形テーブル
- 26…二乗誤差計算回路
- 27…タップ係数計算回路
- 70…切り替えスイッチ

【図1】

(a)
本発明の第1の形態の原理構成図(b)
本発明の第2の形態の原理構成図

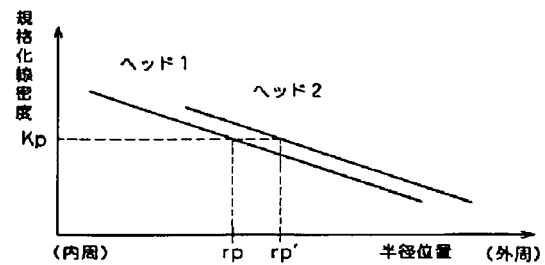
【図4】

PR4MLとEPR4MLの波形の比較

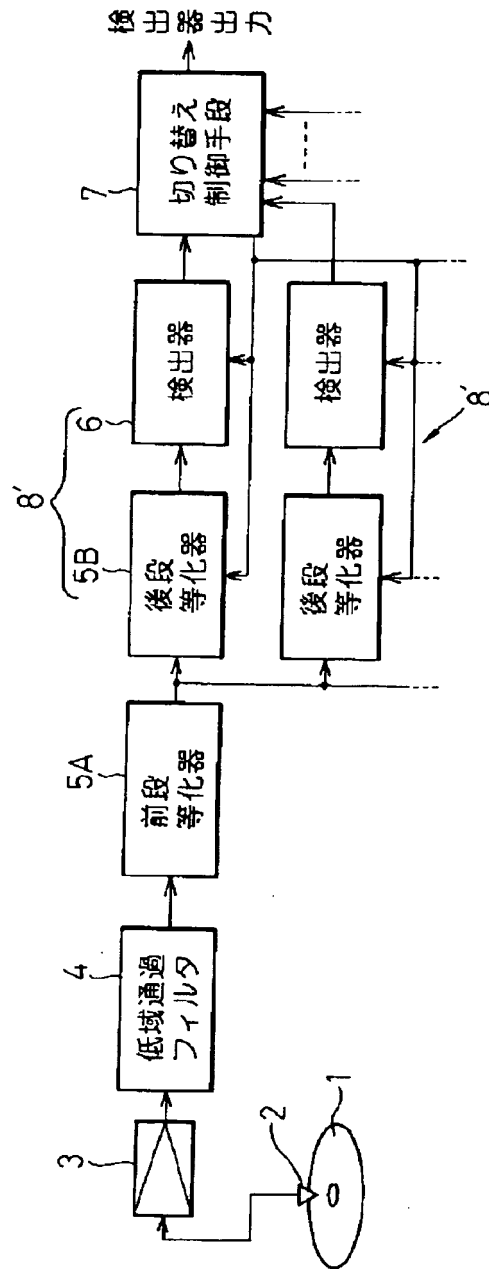
	磁気記録系	等化	等化後
PR4ML	$1-D$ 	$1+D$ 	$1-D^2$
EPR4ML	$1-D$ 	$\frac{1}{2}(1+D)^2$ 	$\frac{1}{2}(1+D-D^2-D^3)$

【図9】

ヘッドのばらつきによる規格化線密度の変化



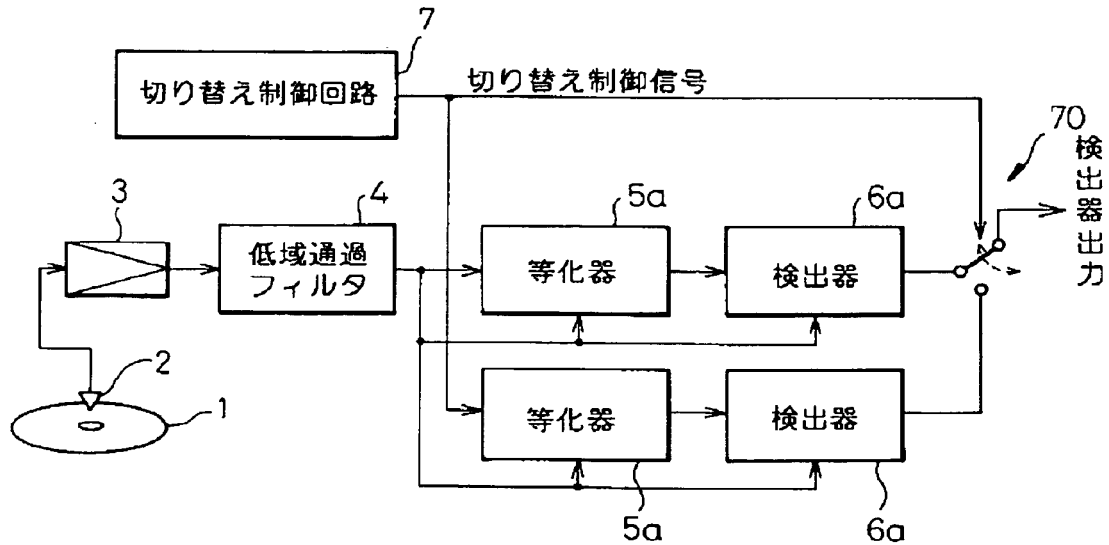
【図2】



本発明の第3の形態の原理構成図

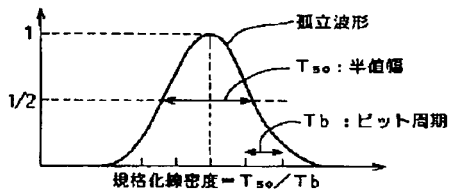
【図3】

本発明の第1の実施例



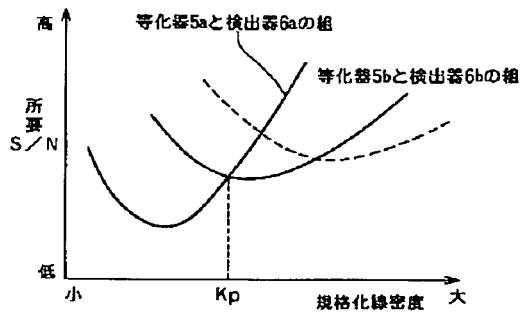
【図6】

(a)
規格化線密度の定義



(b)

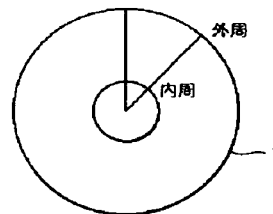
規格化線密度と所要 S/N



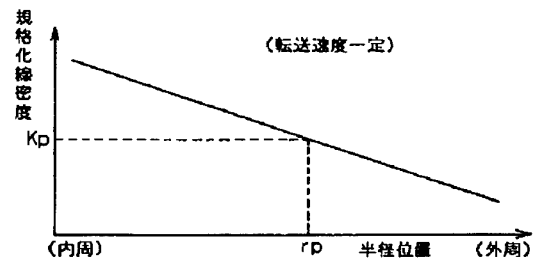
【図7】

ディスクの半径位置と規格化線密度

(a)

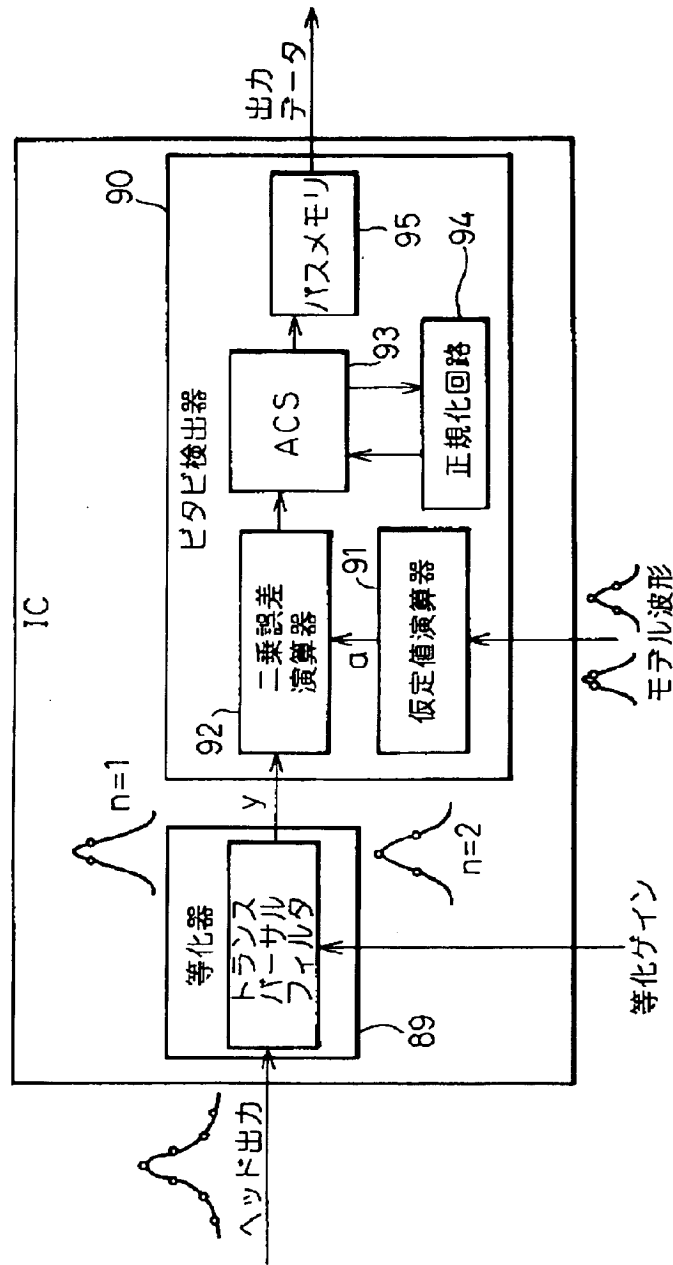


(b)

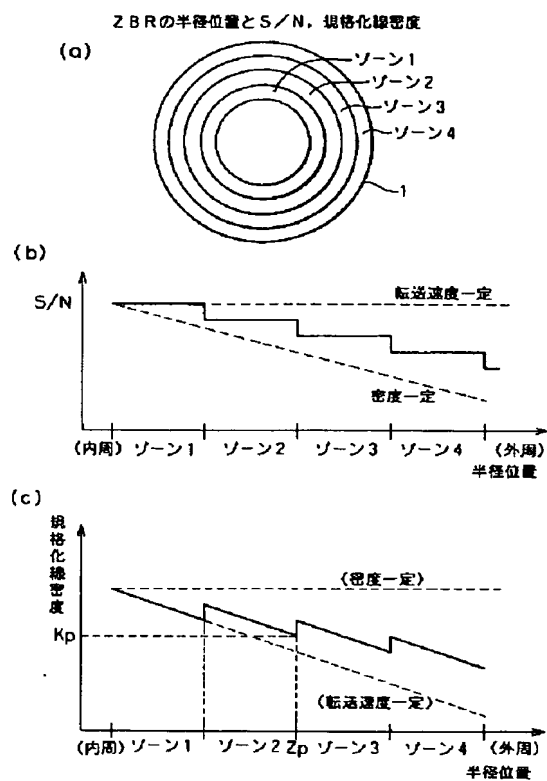


【図5】

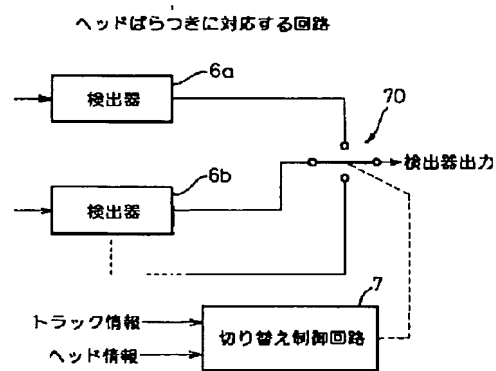
PR4MLとEPR4MLの切り替え回路



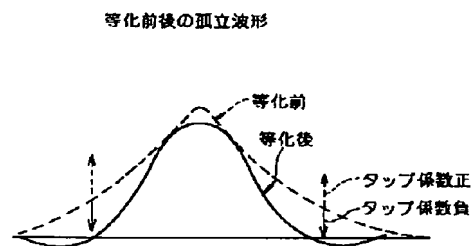
【図8】



【図10】

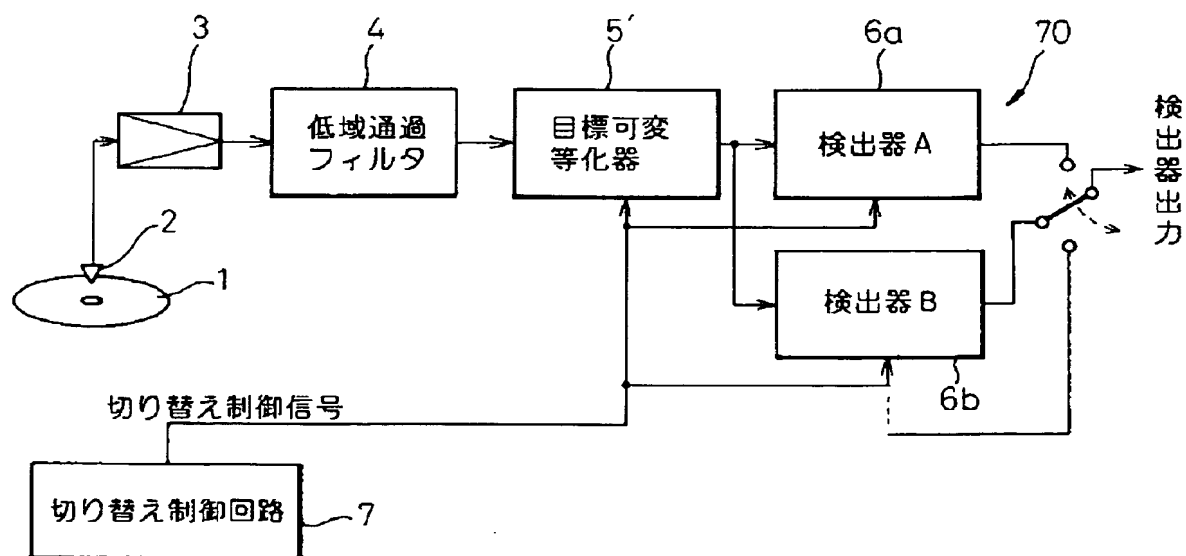


【図16】



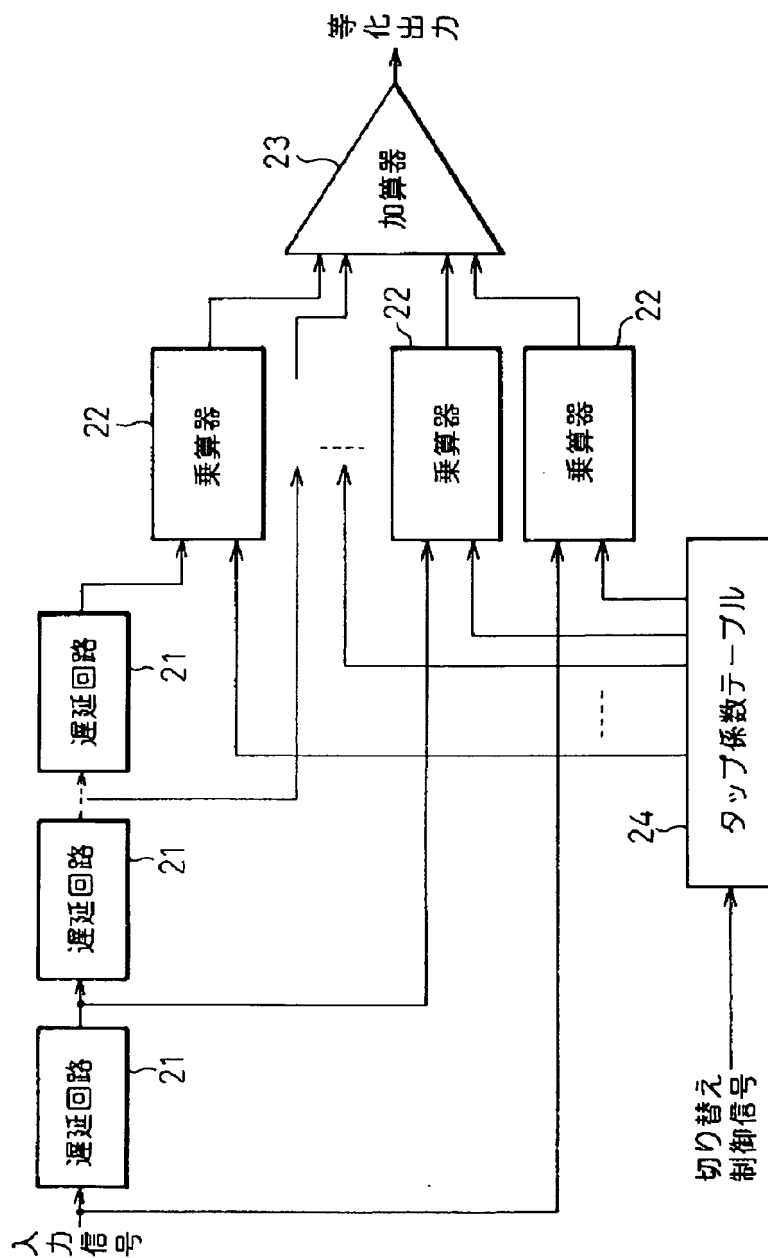
【図11】

本発明の第2の実施例



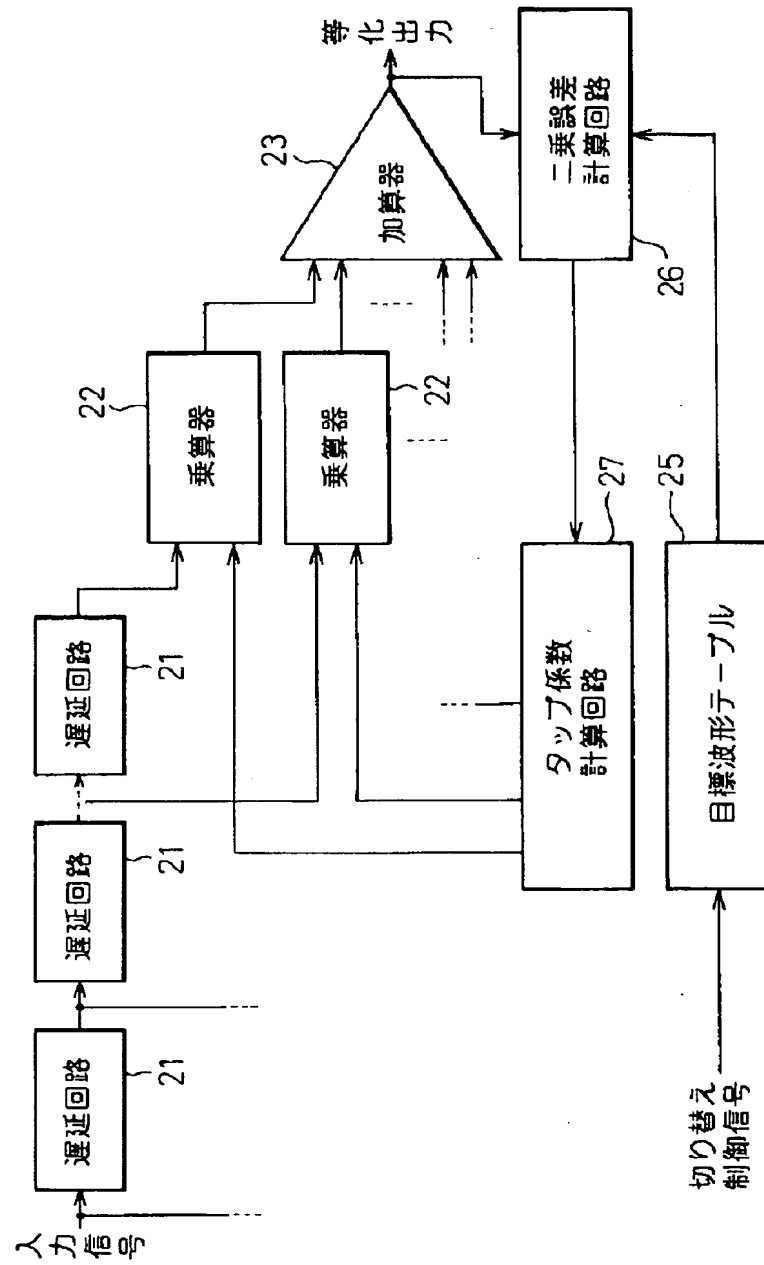
【図12】

目標可変等化器の実施例

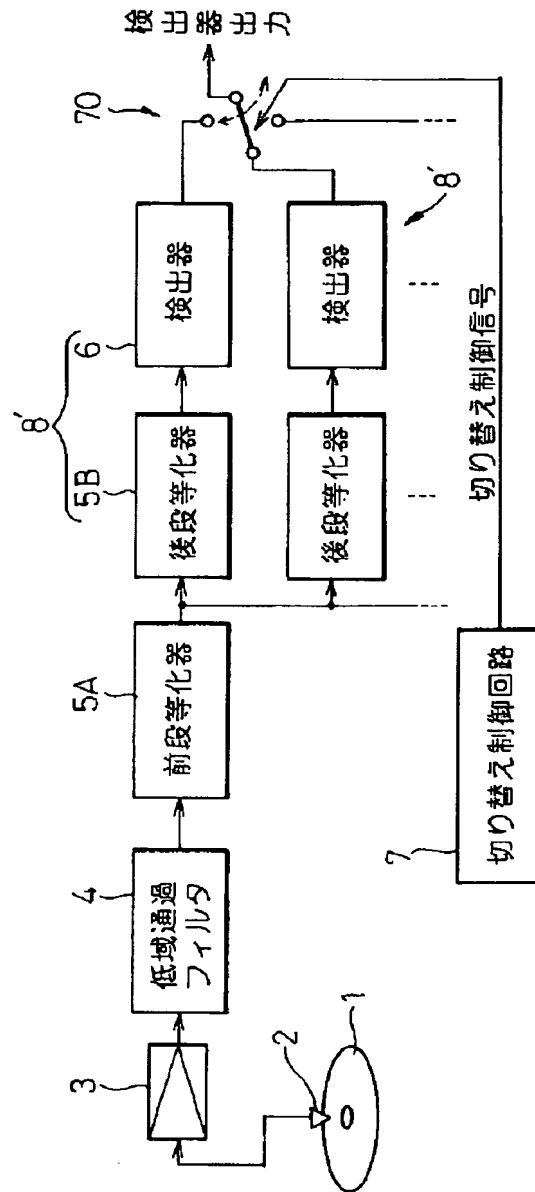


【図13】

適応型等化器の実施例



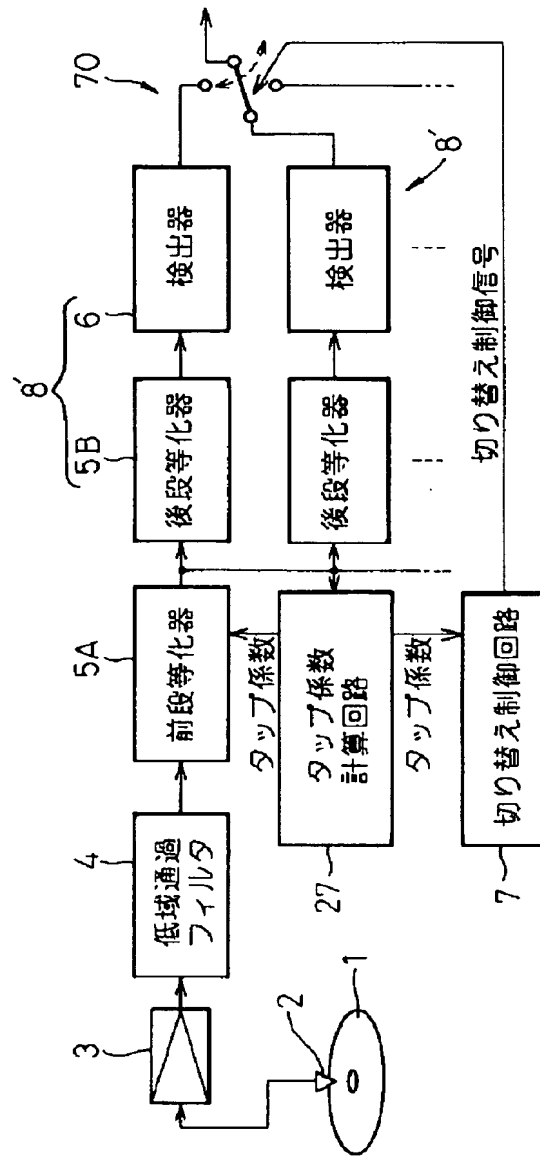
【図14】



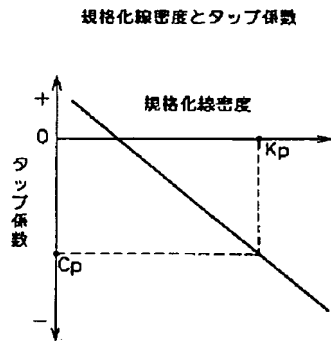
本発明の第3の実施例

【図15】

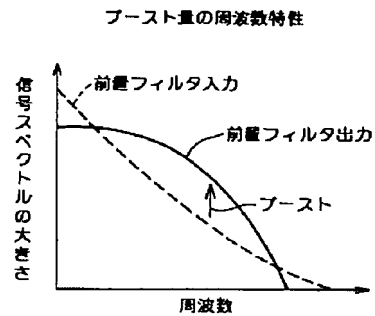
本発明の第3の実施例の変形例



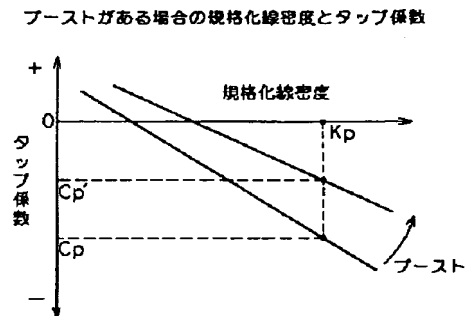
【図17】



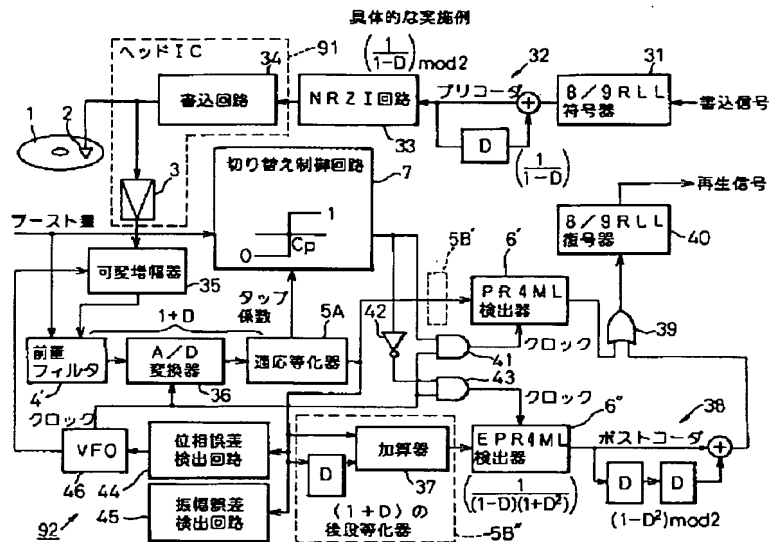
【図19】



【図20】

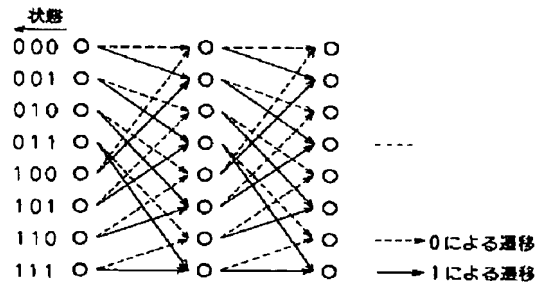


【図21】



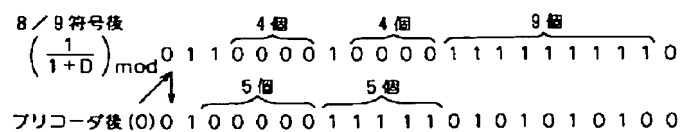
【図22】

EPR4 MLにおけるトレリス線図

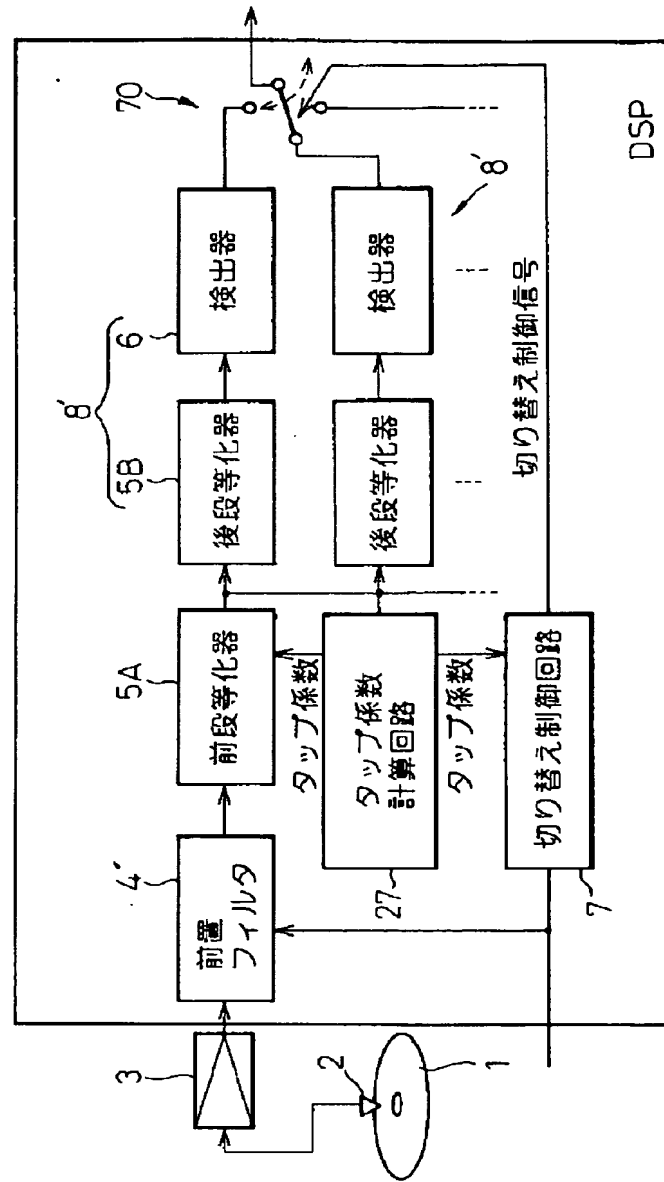


【図23】

プリコーダの効果を示す図

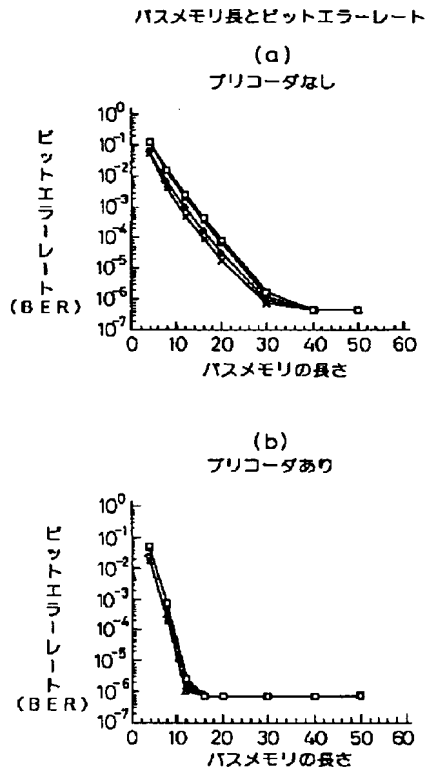


【図18】

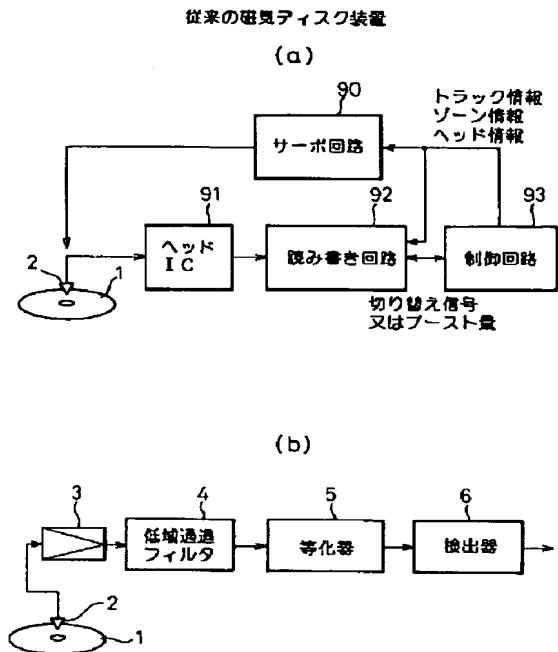


本発明の第3の実施例の他の変形例

【図24】



【図25】



【手続補正書】

【提出日】平成7年7月3日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】図示しない制御回路からのブースト量は、前記フィルタ4'と切り替え制御回路7に入力される。切り替え制御回路7には適応等化器5Aからのタップ係数が入力され、適応等化器5Aはタップ係数が C_p より大きい時には"1"を出力し、 C_p 以下の時には"0"を出力する。切り替え制御回路7の出力はAND回路41にゲート信号として入力されると共に、インバータ42で反転されてゲート信号としてAND回路43に入力

される。AND回路41、43の他方の入力にはVFO（可変周波数発振器）46からのクロックが入力される。従って、切り替え制御回路7からの出力が"1"の時にはAND回路41を通じてクロックがPR4ML検出器6'に入力され、切り替え制御回路7からの出力が"0"の時にはAND回路43を通じてクロックがEPR4ML検出器6"に入力され、クロックが入力されない側の検出器はその動作が停止する。

【手続補正2】

【補正対象書類名】図面

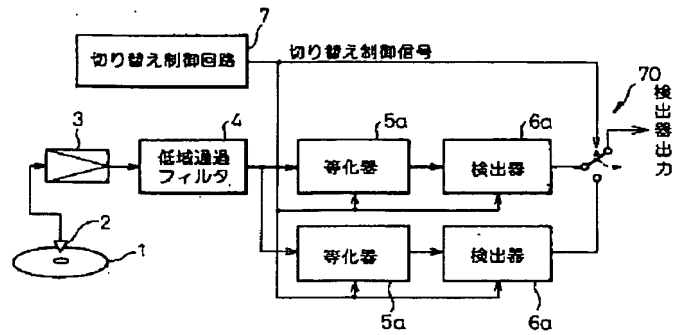
【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】

本発明の第1の実施例



【手続補正3】

【補正対象書類名】図面

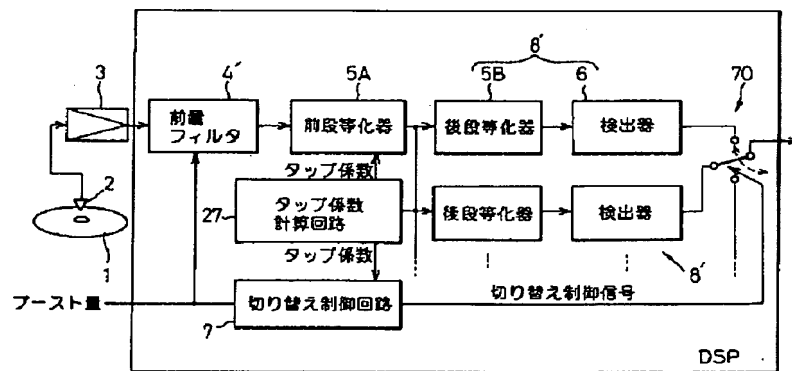
【補正対象項目名】図18

【補正方法】変更

【補正内容】

【図18】

本発明の第3の実施例の他の変形例



フロントページの続き

(72)発明者 大島 武典
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

(72)発明者 溝下 義文
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内

(72)発明者 有賀 敬治
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内